



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09129721 A**(43) Date of publication of application: **16.05.97**

(51) Int. Cl.

**H01L 21/76****H01L 21/3065****H01L 29/78****H01L 21/336**(21) Application number: **08178117**(22) Date of filing: **08.07.96**(30) Priority: **25.10.95 KR 95 9537168**(71) Applicant: **SAMSUNG ELECTRON CO LTD**(72) Inventor: **RI KOJUN**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

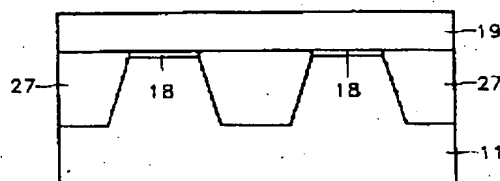
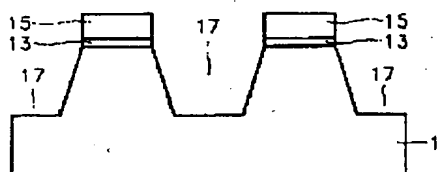
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To suppress hump phenomenon and parasitic effect of current with a semiconductor element by, after flattening an element isolation oxide film of a trench, etching the element separation oxide film by a specified thickness, and by selectively performing side wall ion implantation process on the area affecting the operation of a parasitic transistor.

**SOLUTION:** A pad oxide film a nitride film are vapor deposited on an Si substrate 11, and, with a nitride film pattern 15 patterned for limitation to an active area and a non-active area and a pad oxide film pattern 13 as a mask, the Si substrate 11 of the non-active area is selectively etched in anisotropic manner, for a trench 17 to be formed. An oxide film is grown all over the trench 17, to prevent damage. The trench 17 is buried in an insulation film, thus an element isolation oxide film 27 is formed. The element separation film 27 is etched in anisotropic manner by specified thickness, and with the nitride film pattern 15 as a mask, ion implantation is performed on the side surface of the trench 17. After the nitride film pattern 15 is removed,

The ion implantation for well formation and threshold voltage regulation is performed, thus a gate electrode 19 is formed.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-129721

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76			H 0 1 L 21/76	L
21/3065			21/302	L
29/78			29/78	3 0 1 Y
21/336				

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平8-178117

(22)出願日 平成8年(1996)7月8日

(31)優先権主張番号 9 5 - 3 7 1 6 8

(32)優先日 1995年10月25日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李康潤

大韓民国京畿道水原市八達区梅灘洞810-

3番地三星1次アパート7棟1205号

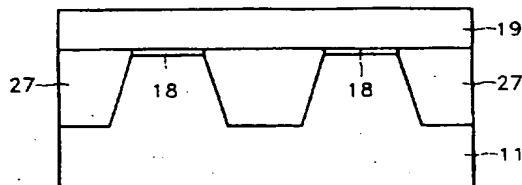
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 STI(shallow trench isolation)におけるハンプ(hump)特性を改善する。

【解決手段】 半導体基板の上にパッド酸化膜と窒化膜を順に蒸着する第1工程と、写真蝕刻工程により限定された非活性領域の前記窒化膜およびパッド酸化膜を異方性蝕刻し前記半導体基板を露出する第2工程と、前記窒化膜パターンをマスクとして前記露出された半導体基板を蝕刻しトレンチを形成する第3工程と、前記トレンチ表面に熱酸化膜を形成する第4工程と、前記トレンチを埋め込めて素子分離酸化膜を形成する第5工程と、前記素子分離酸化膜を所定の厚さで異方性蝕刻した後前記窒化膜パターンをマスクとしてトレンチ側壁のイオン注入を実施する第6工程と、前記窒化膜パターンを除去した後ウェル形成およびスレショルド電圧調節用のイオン注入を実施する第7工程と、ゲート電極を形成する第8工程とにより半導体素子を形成することにより、STIにおける電流のハンプ(hump)現象及び寄生効果を効果的に抑制できる。



## 【特許請求の範囲】

【請求項1】 トレンチ法により素子分離した半導体装置の製造方法において、

半導体基板上にパッド酸化膜と窒化膜を順に蒸着する第1工程と、

写真蝕刻工程により限定された非活性領域における前記窒化膜およびパッド酸化膜を異方性蝕刻して前記半導体基板を露出する第2工程と、

前記窒化膜のパターンをマスクとして、露出した前記半導体基板を蝕刻してトレンチを形成する第3工程と、

前記トレンチの表面に熱酸化膜を形成する第4工程と、

前記トレンチを埋め込んで素子分離酸化膜を形成する第5工程と、

前記素子分離酸化膜を所定の厚さだけ異方性蝕刻した後、前記窒化膜のパターンをマスクとして前記トレンチの側壁にイオン注入を実施する第6工程と、

前記窒化膜のパターンを除去した後に、ウェル形成およびスレシヨルド電圧調節用のイオン注入を実施する第7工程と、

ゲート電極を形成する第8工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記第6工程において、前記素子分離酸化膜の異方性蝕刻は、蝕刻後の当該酸化膜の表面が活性領域の基板表面より数百Å程度高く、前記窒化膜のパターンの表面より数百Å程度低くなるように実施することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第6工程において、前記トレンチの側壁へのイオン注入は、傾斜角度をもって実施することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第6工程において、前記トレンチの側壁へのイオン注入が前記トレンチの側壁の角部分に均等になされるように、前記半導体基板を略一定の回転角度で回転させながらイオン注入を繰り返して実施することを特徴とする請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に、STI(shallow trench isolation)におけるハンプ(hump)特性を改善したトレンチ法の半導体装置の製造方法に関する。

【従来の技術】一般的に、半導体装置の製造に広く用いられる選択的酸化による素子分離方法(Local oxidation of silicon; LOCOS)は、側面酸化によるバズビーク(bird's beak)現象、熱工程で誘発されるバッファ層の応力によるシリコン基板の結晶欠陥およびチャネル形成を阻止するためにイオン注入された不純物の再分布などの問題により、半導体装置の電気的特性の向上および高集積化を妨げる原因となっている。

【0002】LOCOS法の問題点を改善するための方法の一つとして、半導体基板を蝕刻してトレンチを形成し、

これに絶縁物質を埋め込んで素子分離層を形成するSTI(shallow trench isolation)方法が提案された。このSTI法は、素子分離膜の形成において、LOCOS法のように熱酸化工程によらないため、熱酸化工程により誘発されるLOCOS法の短所をある程度軽減することができる。STI法に拠れば、STIの深さを調節することにより、1Gクラス以上のDRAMの高集積化のために必要な0.2μm以下の幅を有する素子分離層(即ち、トレンチ)の形成が可能である。図1は、従来のトレンチ分離方法により製作されたMOSFETの問題点を説明するための断面図であり、この技術は、『W. Tonti etc., "Impact of Shallow Trench Isolation on Reliability of Buried and Surface-Channel sub-μm PFET" IRPS, pp.24-29, 1995』に開示されている。図1に示すように、トランジスタのポリシリコンゲート9は、トレンチに埋め込まれた素子分離層5の上方の縁における鋭い角部分を埋め込む。従って、ゲート9に電圧が印加されると、埋め込まれた角部分の電界の強さは、本来のトランジスタのチャネル7より強くなり、この角部分において反転層が先に形成される。さらに、NMOSトランジスタの場合には、ウェルおよびスレシヨルド電圧調節のために活性領域に注入される不純物としてホウ素(boron)を使うため、偏析(segregation)効果により後続の熱処理工程時に、当該不純物が素子分離酸化膜5の方向に抜け出るようになる。このため、活性領域の中央部位よりもトレンチ(STI)と接する縁における鋭い角部分の不純物濃度が低くなる。その結果、従来技術により製造されたトランジスタにおいて、チャネル幅を変化させた場合のスレシヨルド電圧の特性を示した図2のグラフから明らかなように、トランジスタのチャネル部分のスレシヨルド電圧(A曲線参照)と角部分のスレシヨルド電圧(B曲線参照)とは大きな差異を示す。即ち、前記トランジスタは、動作中にスレシヨルド電圧が変化するようになり、サブスレシヨルド領域で電流のハンプ現象を起こす。従って、トランジスタのリーク電流の増加およびオン・オフ特性の劣化を招く。このような問題点は、素子のチャネル幅が狭くなるほど、即ち、集積度が高くなるほど顕著になる。

【発明の解決しようとする課題】本発明は、上記の問題点を鑑みてなされたものであり、STIにおけるハンプ現象を低減し、特性を向上した素子の製造方法を提供することを目的とする。

【課題を解決するための手段】前記の目的を達成するために本発明のSTI方法は、半導体基板上にパッド酸化膜と窒化膜を順に蒸着する第1工程と、写真蝕刻工程により限定された非活性領域の前記窒化膜およびパッド酸化膜を異方性蝕刻し前記半導体基板を露出する第2工程と、前記窒化膜パターンをマスクとして前記露出された半導体基板を蝕刻してトレンチを形成する第3工程と、前記トレンチ表面に熱酸化膜を形成する第4工程と、前

10

20

30

40

50

記トレンチを埋め込んで素子分離酸化膜を形成する第5工程と、前記素子分離酸化膜を所定の厚さで異方性蝕刻した後に、前記窒化膜パターンをマスクとしてトレンチ側壁のイオン注入を実施する第6工程と、前記窒化膜パターンを除去した後に、ウェル形成およびスレシヨルド電圧調節用イオン注入を実施する第7工程と、ゲート電極を形成する第8工程とを具備することを特徴とする。望ましくは、前記第6工程において、蝕刻後の酸化膜表面が活性領域の基板表面より数百Å程度高く、窒化膜パターン表面よりは数百Å程度低くなるように、素子分離酸化膜を異方性蝕刻する。望ましくは、前記第6工程において、側壁イオン注入は、トレンチ側壁の角部分に不純物が均等に注入できるように実施し、また、イオン注入の際、ウェーハを一定の回転角度で回転させながら繰り返し実施する。本発明の好適な実施の形態によると、トレンチの素子分離酸化膜を平坦化した後に、一定の厚さだけ素子分離酸化膜を蝕刻し、次いで、側壁イオン注入工程を寄生トランジスタの動作に影響を及ぼす領域にのみ選択的に実施することにより、別途の写真蝕刻工程を追加することなく、素子の寄生効果を改善できる。また、CMOSトランジスタにおいて、NMOS及びPMOSに関し、同時にトレンチ側壁へのイオン注入工程の実施できるため工程を単純化できる。

【発明の実施の形態】以下、添付図面に基づいて本発明の実施の形態を詳細に説明する。

【0003】先ず、図3を参照して説明する。Si基板11の上に数十～200Å程のパッド酸化膜を形成し、その上に1000～3000Å程の窒化膜を蒸着する。この時、前記窒化膜の上にHTO(high temperature oxide)のような絶縁膜をさらに蒸着して絶縁膜を多層化しても良い。このような多層絶縁膜は、後続のトレンチ蝕刻の際にマスクの役割を果たす。次いで、活性領域とトレンチが形成される非活性領域とを限定するために、通常の写真蝕刻工程を用いて、前記窒化膜または多層絶縁膜とパッド酸化膜とをパターンニングする。続いて、前記工程を通じて形成された窒化膜パターン15とパッド酸化膜パターン13とをマスクとして用いて、非活性領域に該当するSi基板11を選択的に異方性蝕刻してトレンチ17を形成する。

【0004】次に、図4を参照して説明する。熱酸化などの方法によりトレンチ17の全面に数十～数百Åの厚さの酸化膜(図示せず)を成長させる。この酸化工程の実施は、前記トレンチの蝕刻の際に、損傷されたシリコン基板11をトリートメントすると共に、後続の工程で受けるストレスによる損傷を防止するためである。また、熱酸化によりトレンチ側壁の鋭い角部を丸める(ラウンディング)させるためでもある。次いで、トレンチ17を絶縁膜で埋込むために酸化物を数千Åの厚さで蒸着した後に、CMP (Chemical Mechanical Polishing; 化学的機械研磨) やエッチバックを利用して、窒化膜パ

ターン15が露出されるまで平坦化工程を実行し、素子分離酸化膜27を形成する。

【0005】次に、図5を参照して説明する。先ず、素子分離膜27を異方性蝕刻する。この時、前記トレンチに埋め込まれた素子分離酸化膜27の蝕刻の厚さは、蝕刻後の当該酸化膜表面が活性領域のSi基板11の表面より数百Å程高く制御するのが望ましい。その理由は、後続の窒化膜パターン15やパッド酸化膜パターン13を除去するための蝕刻工程の際に素子分離酸化膜27も共に過度に蝕刻されて、最終的に完成される素子分離膜の表面が活性領域のSi基板11の表面より低く形成されることを防止するためである。次いで、窒化膜パターン15をマスクとして用いて、側壁イオン注入工程を実施する。この時、所定の傾斜角度でイオン注入を実施して、不純物がトレンチ側壁の内側に十分に注入されるようにする。また、トレンチ側壁の角部分に不純物が均等に注入されるように、イオン注入の時、基板を一定の回転角度で回転させながらイオン注入を何度も繰り返して実施することもできる。

【0006】次に、図6を参照して説明する。窒化膜パターン15を除去した後に、ウェル形成及びスレシヨルド電圧調節用のイオンの注入工程を実施する。このイオンの注入工程は、パッド酸化膜パターン13が存在する状態で実施しても良いし、パッド酸化膜パターン13を除去して、数十から200Å程度の犠牲酸化膜(図示せず)を形成した後に実施しても良い。

【0007】次に、図7を参照して説明する。前記パッド酸化膜(または犠牲酸化膜)パターン13を除去し、数十Å程度のゲート酸化膜18を形成した後に、ポリシリコンを蒸着しゲート電極19を形成する。続いて、通常の方法でトランジスタの製作を完了する。

【0008】本実施の形態による工程の単純化は、半導体分野で最も一般的に使われるCMOSのようなプロセスにおいて、特に効果的である。以下に、その理由を説明する。

【0009】NMOSTランジスタは、ホウ素(boron)がドーピングされたPウェル内に形成され、NMOSTランジスタのチャネル領域には、スレシヨルド電圧を調整するためにPウェルと同一の導電型の不純物であるホウ素またはフッ化ホウ素(BF<sub>2</sub>)が注入(チャネルイオン注入)される。このように、NMOSTランジスタの場合に、Pウェルと同一の導電型の不純物を注入するのは、トレンチの側壁及び底部に薄い熱酸化膜を形成する工程及び活性領域の表面に薄い犠牲酸化膜を形成する工程において、Pウェル内のホウ素イオンが前記熱酸化膜及び犠牲酸化膜内に拡散される偏析係数(segregation coefficient)が大きく、活性領域の表面におけるホウ素濃度が減少するからである。

【0010】逆に、PMOSTランジスタの場合は、トレンチの側壁及び底部に薄い熱酸化膜を形成する工程及

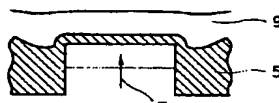
び活性領域の表面に薄い犠牲酸化膜を形成する工程において、PMOSトランジスタが形成されるNウェルの不純物であるリン(P)またはヒ素(As)は、前記熱酸化膜及び犠牲酸化膜内に殆ど拡散しないため、当該不純物は活性領域の表面に蓄積されて、その濃度が増加する。従って、PMOSトランジスタのスレッシュOLD電圧(絶対値)が適正値を超えて増加することを抑えるために、Nウェルの不純物とは反対の導電型の不純物、即ち、P型の不純物を注入する必要がある。

【0011】以上のように、Pウェルの不純物であるホウ素とNウェルの不純物であるリンは、所定の温度で熱拡散膜を形成する際に、それらの偏析係数が異なるため、NMOSトランジスタのチャネル領域及びPMOSトランジスタのチャネル領域の双方にP型の不純物を注入しなければ、これらのトランジスタのスレッシュOLD電圧を調節できない。

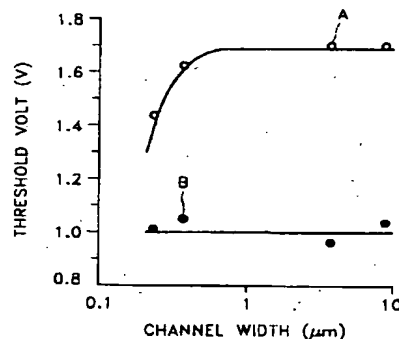
【0012】従って、NMOS及びPMOSトランジスタと隣接したトレンチの側壁の全てにP型の不純物のみを注入することにより、換言すると、一度の側壁イオン注入により、NMOS及びPMOSの寄生効果が抑制で

きる。  
【0013】本実施の形態の効果は、横方向距離による素子の不純物の濃度分布を従来のものと対比して示した図8のグラフによりさらに明確になる。図8に示すグラフにおいて、直線Zは、Si活性領域と素子分離酸化膜との境界を示し、曲線Xは、従来方法の不純物濃度を、曲線Yは本発明を適用した場合の不純物濃度のプロファイルをそれぞれ示す。

【図1】



【図2】



【0014】このグラフから明らかなように、本実施の形態に拠れば、トレンチの側壁付近の不純物濃度が増加しており、従って、電界の活性領域の方向への浸透及び空乏領域の拡張が抑制される。

【0015】従って、非常に狭いチャネル幅を有する高集積の半導体素子におけるSTI構造における電流のハンプ現象及び寄生効果を効果的に抑制できる。以上、特定の実施の形態を用いて本発明を説明したが、本発明は、上記の実施の形態に限定されず、本発明の技術的思想の範囲内で様々な変形や改良が可能である。

【発明の効果】本発明に拠れば、狭いチャネル幅を有する半導体素子における電流のハンプ現象及び寄生効果を抑制することができる。

【0016】

【図面の簡単な説明】

【図1】従来のトレンチ分離方法により製造されたMOSFETの問題点を説明するための断面図である。

【図2】従来技術により製造されたトランジスタにおいて、チャネル幅を変化させた場合のスレッシュOLD電圧特性を示したグラフである。

【図3】

【図4】

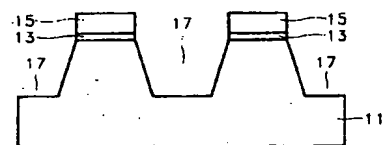
【図5】

【図6】

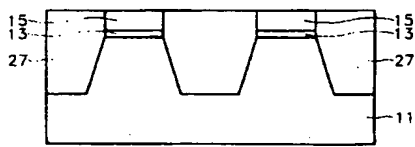
【図7】本発明の実施の形態に係るSTI方法を工程順に示した工程断面図である。

【図8】本発明を適用した半導体素子の不純物の濃度分布を従来のものと対比して示したグラフである。

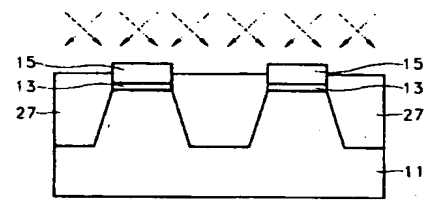
【図3】



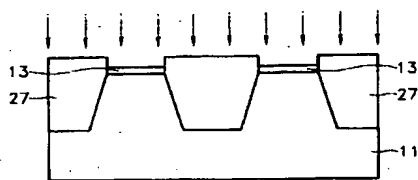
【図4】



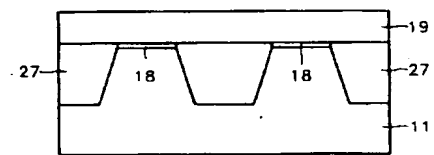
【図5】



【図6】



【図7】



【図8】

